



A Simulation and Experimental Platform for Communication Courses Based on Digital Signal Processor

Haoqi Ren*

College of Electronic and Information Engineering, Tongji University, Shanghai, China

Email address:

renhaoqi@tongji.edu.cn

To cite this article:

Haoqi Ren. (2024). A Simulation and Experimental Platform for Communication Courses Based on Digital Signal Processor. *Science Innovation*, 12(5), 85-90. <https://doi.org/10.11648/j.si.20241205.12>

Received: 4 September 2024; **Accepted:** 17 October 2024; **Published:** 29 October 2024

Abstract: In this paper, a simulation and experimental platform is designed and implemented to overcome the shortcomings of the existing experimental platform for communication related courses. Firstly, the overall scheme of the simulation and experimental platform are introduced, including the specific hardware composition and supporting software. Secondly, the implement details are described in the following order: system composition, peripherals, hardware accelerator, and interface to the host computer. The main system is based on an independently developed digital signal processor, which may relieve the bottleneck problem of imported chips. Using FPGA to implement peripherals enhances the flexibility of the entire system and provides the ability for further development. The feasibility of reducing the cost is then discussed. Thirdly, the design and implementation of the simulator, compiler and assembler, debugger and other tools are introduced respectively. The simulator can operate under normal mode and debugging mode. The former can be used for ordinary experiments for teaching purpose, while the latter is for further development of graduated students. Finally, the prepared experimental projects are shown, including 6 basic experiments and 6 communication algorithm experiments. With the help of these experiments, students can better understand the principles and implementation of corresponding communication algorithms, and experience how different parameters may impact on the communication results, by modifying the configuration of the experimental system. The demonstrations of prototype prove that the simulation and experimental platform can meet the needs of communication related courses. The future work includes developing more experimental projects, raising integration to reduce the costs, and improving the entire system based on student feedback.

Keywords: Digital Signal Processing, Experiment Teaching, Communication Courses, Teaching Reform, Frequency Modulation and Demodulation

基于数字信号处理器的通信教学仿真实践平台

任浩琪*

同济大学电子与信息工程学院, 上海, 中国

邮箱

renhaoqi@tongji.edu.cn

摘要: 本文针对现有通信相关课程实验平台的不足, 实现了一种面向通信及信号处理教学的仿真实践平台。首先, 介绍了该仿真实践平台的整体方案, 及具体的硬件组成和配套软件。其次, 在硬件组成方面对系统构成、外设及硬件加速器的设计、与上位机间的接口设计等进行了详细阐述。其中, 主系统采用了自主研发的数字信号处理器, 可以缓解进口芯片卡脖子问题; 采用FPGA实现外围设备则增强了整个系统的灵活性, 并具备了二次开发的能力。之后讨论了降低成本的可行方案。再次, 在配套软件方面分别介绍了仿真器、编译器及汇编器、调试器等工具的设计和实现。其中, 仿真器可以在正常模式和调试模式下运行。前者可用于常规实验教学, 而后者则可供研究生进行二次开发使用。最后, 给出了现有的实验项目, 包括6个基础实验和6个通信算法实验。这些实验能够使学生掌握相应的算法原理和实现方法, 并通过调整配置, 理解不同参数对实验结果的影响。通过原型样机的实例演示, 证明了该实验平台能够满足

通信相关课程的实验教学需要。下一步的工作主要包括开发更多的实验项目、提高系统的集成度以降低成本，以及根据学生的使用反馈对系统进行改进。

关键词：数字信号处理，实验教学，通信课程，教学改革，频率调制与解调

1. 引言

在高校信息与通信类专业实验教学中，通常采用结构、功能相对固定的实验箱，供学生对各个实验项目进行操作体验。虽然验证性实验能使学生直观地理解相应的知识点，但往往在自主设计方面有所欠缺，且无法引导学生更加深入地掌握专业知识。以通信中的软件无线电和数字信号处理为例，目前各高校普遍采用基于美国德州仪器公司DSP的实验平台[1]，核心处理器型号一般为C55xx系列或C2000系列的DSP[2, 3]。DSP是一种适合于进行大规模数字信号处理运算的处理器。与CPU等通用处理器不同，DSP的运算能力很强，但在条件判断、逻辑控制等方面功能较弱，常用于计算密集型的应用中[4]。虽然这些实验平台具有配套软件资源丰富、实验项目成熟等优势[5]，但其存在的缺点也是显而易见的。首先，硬件无法扩展，难以与时俱进开发新的实验项目[6]；其次，这些实验平台中性能相对较低的DSP处理器很难满足计算密集度较高的应用需求；最后，为了体现设备的优势，实验平台的硬件组成相对较复杂，增加了很多不必要的功能，导致成本较高，制约了实验教学的大规模开展。

针对上述问题，我们以高性能、可扩展为目标进行实验教学改革，研发了一款自主知识产权的基于软件无线电的通信及信号处理教学仿真实验平台。目前已完成仿真平台搭建和原型样机系统的研制，并提供了12个实验项目，下一步将继续向产品化和低成本的方向努力。

该教学仿真实验平台中的仿真平台可以独立运行在上位机中，模拟了硬件系统的运行，便于算法源程序的开发。原型样机系统则是用真实硬件实现的通信及信号处理系统，以自研的数字信号处理器TJDSP为基础，通过编程实现核心算法；利用FPGA可反复编程、易设计的优点[7]，实现了常用外设、上位机硬件接口和部分硬件加速模块。除外设本身的对外接口以外，原型样机系统还具有PCIe、RS232和JTAG三组接口。其中，PCIe接口用于从上位机下载可执行程序，并与上位机之间传输数据；RS232接口用于配置原型样机、跟踪运行状态；JTAG接口用于对处理器核及相关外设的调试[8]。

原型样机系统的总体结构见图1，硬件端分为TJDSP芯片子板和FPGA评估板两大部分，两者通过高密度FMC接口连接，并分别通过JTAG接口、PCIe接口和RS232接口与上位机相连。上位机端则控制原型样机执行相应的程序并接收运行结果，以及对原型样机进行必要的配置和调试。

由于使用了可反复编程的FPGA，因此本系统除了可供实验实践教学应用外，还可以作为开放实验平台供本科高年级学生开展实践创新项目，或通过二次开发，供研究生从事各种与通信及信号处理有关的科学研究和原型验证工作。

2. 硬件系统组成

2.1. 主控处理器芯片

TJDSP是课题组前期自行研发的一款具有自主知识产权的高性能低功耗数字信号处理器芯片[9]。该处理器基于开源OPENRISC体系结构，借鉴了RISC-V处理器指令集，以高性能和低功耗为目标，合理地规划了自定义的指令集，共包含193条指令，包括30条控制/传输指令、54条加载/存储指令、49条标量运算指令和60条矢量运算指令。其中标量运算指令可以进行32位数据的运算；矢量运算指令则采用单指令多数据（SIMD）技术实现，在单个执行周期能并行完成至多16路运算操作。此外，为了进一步提高计算性能，该处理器还实现了超长指令字（VLIW）技术和硬件循环（hardware loop）技术[10]。另一方面，为了降低运行时的功耗，在各个设计层次上充分利用低功耗设计技术实现对能耗的管控[11]。除了采用常规的门控时钟、多时钟域等低功耗设计技术外，还进一步在软件编译方面进行了低功耗优化，通过分析指令调度、寄存器分配等对功耗的影响，利用循环展开、循环粘和分解、存储优化、标量扩张、函数内嵌、数据预取等技术尽可能提高程序运行效率，降低完成程序功能所需的能耗。

在存储方面，TJDSP集成了片上指令存储器和片上数据存储器，且均支持直接存储访问（DMA）模式的访问操作，能够在不占用处理器时间的情况下进行片内外的指令、数据搬移。此外，TJDSP对外支持多路硬件中断和硬件断点。

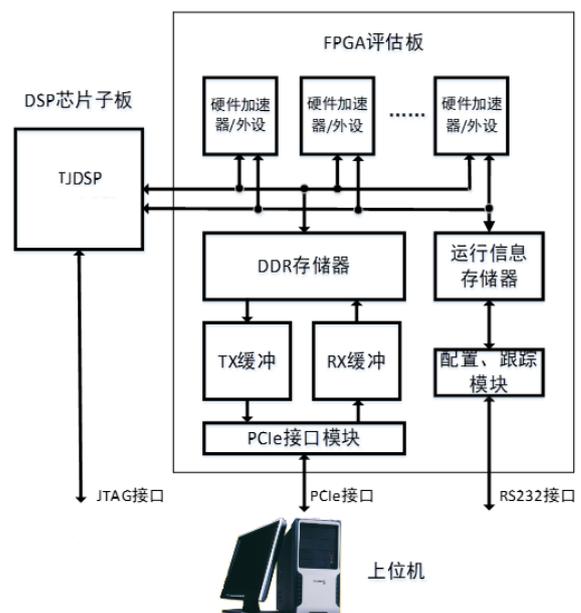


图1 原型样机系统总体结构。

图2左侧为256引脚LQFP封装的TJDSP处理器芯片，右侧为载有该处理器芯片的电路板。采用中芯国际65纳米工艺制造的TJDSP处理器芯片面积为 16.6mm^2 ，典型主频为400MHz（板级产生的系统时钟频率50MHz，处理器锁相环可配置为1~8倍频，处理器内核主频50~400MHz），定点运算峰值6400MMACs，单位功耗 $0.6\text{mW}/\text{MHz}$ ，与目前数字信号处理实验系统常用的C55xx系列DSP相比，在性能上有很大的优势。



图2 TJDSP芯片和载有该芯片的电路板。

2.2. 上位机接口

原型样机系统与上位机的接口分为三组：PCIe接口、RS232接口，以及JTAG接口。

PCIe接口主要用于原型样机与上位机之间的指令、数据传输，选用的Xilinx PCIe IP核接口带宽为5Gbps，足以满足各类常用通信协议的速率要求，以及常见数字信号处理算法的数据传输要求。在FPGA内还实现了两组先入先出队列(FIFO)分别用于缓存PCIe接口发送和接收的数据，每组包含2个16KB的FIFO，起到乒乓交换作用，使传输连续进行而不中断。为了便于用户使用，本平台选用PCIe转接卡和连接线连接原型样机和上位机的PCIe插槽。

RS232接口主要用于配置原型样机系统、跟踪硬件系统的运行状态。配置内容包括：TJDSP处理器内核倍频数、中断优先级顺序、需要跟踪的状态信息等。原型样机运行过程中会根据配置时确定需要跟踪的信号定义，实时抓取相应的控制、数据信号保存到FPGA内的存储器中，并在运行完成后，通过RS232接口导出到上位机，以便对原型样机硬件的调试和诊断。

本原型样机系统的JTAG接口则直接连接TJDSP处理器内核的JTAG模块，供调试器对内核中运行的程序进行调试与诊断，用于通信协议及算法程序的开发和测试。

2.3. 系统外设与硬件加速器

由于TJDSP处理器的设计初衷是作为一款嵌入式处理器内核使用，因此虽然对AXI总线及Wishbone总线均有很好的支持，但在片内除JTAG调试接口和定时器以外并未像商用处理器那样集成大量外设接口。因此本原型样机系统设计的一个重点就是围绕已有的TJDSP处理器增加外设。为此，我们选用Xilinx FPGA实现了必要的外设模块，并在FPGA内设计了一个存储控制器将上述外设模块统一编址在TJDSP的片外存储地址空间中，从而通过对片

外存储器的访问操作实现外设与TJDSP处理器内核之间的数据传输。

本原型样机系统目前使用的FPGA板为Xilinx VC707评估板[12]，通过高密度FMC接口连接DSP子板；支持的外设包括：中断控制器、DDR3存储接口、PCIe接口、I2C接口、RS232接口和GPIO。其中，中断控制器用于接收各个外设送来中断信号，并根据预设的优先级进行排序和暂存，起到扩展TJDSP处理器内核中断输入数量的作用，该控制器由Verilog硬件描述语言编写实现[13]；DDR3存储接口和PCIe接口使用Xilinx自带的IP核实现，存储单元直接使用评估板上的DDR存储器；对于I2C接口、RS232接口和GPIO，则使用Verilog硬件描述语言编写代码，并将相应的接口信号映射到评估板的通用引脚上。

此外，我们还针对一些实验项目，在FPGA内设计实现了相应的硬件加速器，如：FFT硬件加速器和Turbo译码器。添加硬件加速器的目的有两个：一是可以在实验中对通信算法编程的结果和对应的硬件加速器的运行结果进行对比，分析输入数据精度和计算过程中保留精度对计算结果的影响；二是在一些综合性实验中，可以通过编程直接调用这些硬件加速器，从而提高系统运行的总体性能。包含上述系统外设及硬件加速器在内的FPGA文件已被固化在评估板的闪存(flash)中，在开展实验教学时只需要按正常流程开机即可自动下载到FPGA芯片中并自动运行。完整的原型系统实物见图3所示。

在目前使用的VC707评估板中，硬件设计总共只占FPGA芯片资源的7%（含LUT资源和RAM资源）。这样的资源使用量意味着可以用更低成本的Spartan 6系列FPGA芯片实现同样的功能。在后续版本中，我们计划设计全新的电路板，将FPGA芯片、TJDSP芯片和其他的器件，诸如晶振、DDR存储器、USB控制器、PCIe物理接口等，集成在同一电路板上，省去昂贵的FMC接口及不必要的器件、芯片，以提高平台的整体健壮性，并预计能将硬件成本降至千元级别，具有很强的市场竞争力。



图3 教学仿真实验平台原型样机系统。

3. 配套软件开发

3.1. 仿真平台

为了便于算法程序的开发，我们专门针对TJDSP处理器设计了一个相应的仿真器以模拟处理器的输出响应，从而构建了一个仿真平台，使得调试开发程序的效率能提高10倍以上。

仿真器总体设计包括：执行模块、存储模块和调试模块；工作状态包括：正常运行模式和调试模式。该仿真器为周期精确（cycle-accurate）模型，利用循环模拟时钟周期。每次循环依次执行Execute()和Commit()函数。在Execute()函数中，按流水线逆序依次执行各个流水线段所需完成的功能，并将每级流水线的执行结果存入流水线段间寄存器；在Commit()函数中，每级流水线从上级流水线段间寄存器中将数据读出来，以待进行下一次循环。仿真器的正常运行模式可用于常规实验教学，而调试模式则可供研究生进行二次开发使用。

3.2. 编译工具

由于TJDSP处理器的指令集是自主定义的，需要针对性地设计全新的编译工具，因此我们以开源项目LLVM为基础，设计了一种基于编译遍（pass）的前后端分离式编译器，支持超长指令字和矢量指令集[14]。编译器的前后端都由一个个编译遍组合而成，每个编译遍都会调用事先定义的处理器架构信息来进行编译。除了编译器，我们还基于GNU汇编器设计了相应的TJDSP汇编器和反汇编器。

3.3. 调试工具

为了赋予TJDSP处理器、仿真平台乃至原型系统一定的调试功能，我们对GNU的调试器GDB进行了移植。首先在GDB工程的“bfd”目录下添加相应的BFD后端文件以对应于处理器目标文件格式的BFD后端。其次，在“opcodes”目录下添加指令级编码（OP_Code）信息，实现反汇编功能。再次，在“gdb”目录下，定义新的处理器架构，通过编写ARCH-tdep.c等文件来添加目标处理器架构的相关信息，并在configure.tgt文件中添加新架构的描述文件，供makefile使用。最后，为远程目标端添加RSP协议支持。上述移植步骤完成后，即可通过远程调试代理（remote proxy）与远程目标端联调，对GDB进行测试。在此，我们使用FTDI公司的FT2232H作为连接器，实现上位机USB接口与实验平台JTAG接口之间的连接。

3.4. 上位机显示程序

本原型样机系统使用PCIe接口将实验运行结果传输到上位机保存，并可以使用常用的编辑工具打开这些数据文件做进一步分析。为了能以图形形式更直观地显示这些数据，我们利用Matlab强大的处理能力[15, 16]，在上位机端编写了相应的脚本程序（.m文件），能够从数据文件中读出数据，再进行相应的数据绘图，最后在上位机中显示。由于不同实验结果图中的坐标轴名称、单位各不相同，因此针对这些实验项目均预先编写了相应的脚本程序，在实验过程中只需要按需调用即可。

4. 实验流程及示例演示

4.1. 实验目的

目前基于本平台设置的实验项目分为基础实验和通信算法实验两类，详见表1。

基础实验的设置由易到难，通过“数据存储实验”和“LED指示灯实验”的实际操作，可以使学生基本掌握本平台的使用方法及TJDSP的编程方法；“拨码开关控制实验”、

“外部中断和定时器实验”、“异步串口通信实验”和“GPIO应用实验”能让学生进一步掌握基于TJDSP的仿真实践系统的控制方法。

算法实验则更专注于算法的编写、实现与调试，“幅度调制与解调实验”、“频率调制与解调实验”、“FIR算法实验”、“IIR算法实验”、“FFT算法实验”和“卷积算法实验”等实验能够使学生掌握相应的算法原理和实现方法，并通过调整配置，理解不同参数对实验结果的影响。

4.2. 流程及演示

以频率调制与解调实验为例，实验流程如下：

(1) 在关闭电源的情况下，确认原型样机各部分连接正确、PCIe连线已通过PCIe转接卡连接到上位机；

(2) 打开电源适配器开关，评估板上4个LED指示灯全亮，板载配置文件自动加载完成后左侧两个LED指示灯熄灭，说明模块工作正常；

(3) 在上位机终端输入命令“lspci | grep RAM”，检查是否检测到原型样机；若显示类似图4所示信息，则表示上位机已检测到原型样机的硬件设备；

(4) 检测到设备后通过PCIe接口发送事先编写好的TJDSP可执行程序“lab_fm_exec”，并开启上位机数据接收通道，将接收到的数据保存为“lab_fm_data”；

(5) 在上位机端运行Matlab脚本，根据接收到的数据绘制图形并显示；对于频率调制与解调实验，Matlab脚本程序会读取“lab_fm_data”中的数据，调用plot函数在屏幕上打印出如图5所示的结果；

(6) 实验结束，关闭电源，拆除连线并按要求放置好实验模块。

再以FFT算法实验为例，实验操作流程与频率调制与解调实验基本相同，区别仅在于将上述步骤（4）中加载的可执行程序改为“lab_fft_exec”，并将接收到的数据保存为“lab_fft_data”，在上位机端运行相应的Matlab脚本可得到如图6所示的结果。

```

cic@cic-Precision-Tower-5810: ~
└─$ lspci | grep RAM
00:00.0 RAM memory: Device 55aa:6024
cic@cic-Precision-Tower-5810: ~

```

图4 上位机检测到原型样机设备。

表1 已有的实验项目设置。

实验类别	实验项目
基础实验	DSP数据存储实验
	LED指示灯实验
	拨码开关控制实验
	外部中断和定时器实验
	异步串口通信实验
	GPIO应用实验
通信算法实验	幅度调制与解调实验
	频率调制与解调实验
	FIR算法实验

实验类别	实验项目
	IIR算法实验
	FFT算法实验
	卷积算法实验

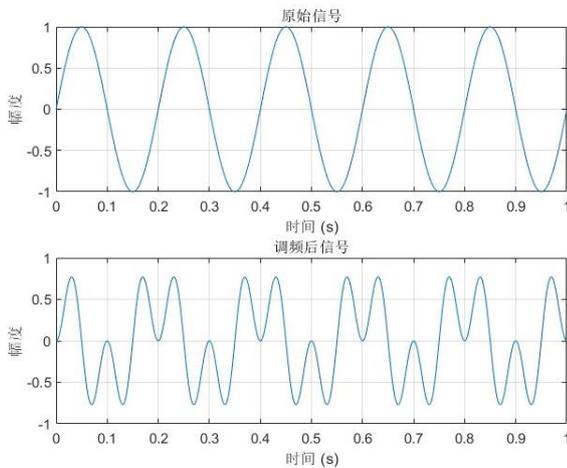


图5 频率调制算法实验在上位机显示的结果。

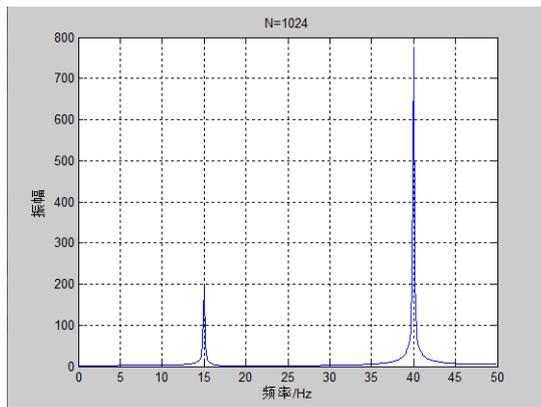


图6 FFT算法实验在上位机显示的结果。

5. 结论

高校实验教学对学生真正理解掌握书本知识起到了不可或缺的辅助作用，同时培养了学生的实践动手能力，为今后参加工作或从事科学研究打下了扎实的基础。本文针对通信及信号处理实验开发的教学仿真实践平台采用了自主知识产权的核心处理器芯片，在降低设备成本的同时，不但可以满足一般实验教学和开放实验的需要，还具有很强的扩展性，易于开发新的实验。对仿真平台及原型样机系统的实际使用证明该教学仿真实践平台性能稳定可靠，并在本科人才培养中取得了良好的效果。

在已完成的工作基础上，下一步拟开发更多的实验项目以覆盖通信原理和数字信号处理课程的全部知识点，并提高系统的集成度以降低成本。同时，在日常实验教学活动中不断收集学生们的使用反馈意见，对系统进行持续的改进与完善。

致谢

本文为同济大学第十六期精品实验项目(0800104324)的阶段性成果之一。

参考文献

- [1] 白杰, 孟令军, 张慧慧. 基于DSP的视频处理及传输系统设计[J]. 实验室研究与探索, 2017, 36(3): 111-115.
<https://doi.org/10.3969/j.issn.1006-7167.2017.03.028>
- [2] 李志远. DSP实验教学改革与实践[J]. 实验科学与技术, 2016, 14(4): 164-167.
<https://doi.org/10.3969/j.issn.1672-8289.2016.29.186>
- [3] 赵洪亮, 郑庆乐, 冯国金. 一种高性价比的C55x DSP实验教学系统的研究开发[J]. 实验技术与管理, 2012, 29(10): 103-106.
<https://doi.org/10.3969/j.issn.1002-4956.2012.10.029>
- [4] 刘卫东. 《DSP原理与应用》实验教学改革研究[J]. 实验科学与技术, 2012, 10(1): 84-85, 190.
<https://doi.org/10.3969/j.issn.1672-4550.2012.01.028>
- [5] 黄慧春, 胡仁杰. DSP应用教学的探索与实践[J]. 实验技术与管理, 2007, 24(1): 131-133.
<https://doi.org/10.3969/j.issn.1002-4956.2007.01.039>
- [6] 段雷, 李梅, 王彩霞. 基于DSP和FPGA的实时图像处理平台的设计[J]. 实验科学与技术, 2008, 6(5): 52-54, 70.
<https://doi.org/10.3969/j.issn.1672-4550.2008.05.020>
- [7] 邓春健, 吕焱, 李文生, 等. 利用FPGA实现DSP功能扩展实验[J]. 实验科学与技术, 2009, 7(1): 81-84.
<https://doi.org/10.3969/j.issn.1672-4550.2009.01.031>
- [8] 刘洁, 杨海柱, 李洋. 基于XDS510的DSP实验系统研制[J]. 实验室研究与探索, 2013, 32(10): 84-86, 113.
<https://doi.org/10.3969/j.issn.1006-7167.2013.10.023>
- [9] REN Haoqi, ZHANG Zhifeng, WU Jun. A VLIW DSP for communication applications[C]//Proceeding of the 2015 6th International Green and Sustainable Computing Conference. Las Vegas: IEEE, 2015, 12.
<https://doi.org/10.1109/IGCC.2015.7393733>
- [10] CHANG Rui, WU Jun, REN Haoqi. A compilation method for zero overhead loop in DSPs with VLIW[C]//Proceeding of the 2017 9th International Conference on Wireless Communications and Signal Processing. Nanjing: IEEE, 2017, 10. <https://doi.org/10.1109/WCSP.2017.8171129>
- [11] REN Haoqi, ZHANG Zhifeng, WU Jun. SWIFT: A Computationally-Intensive DSP Architecture for Communication Applications[J]. Mobile Networks and Applications, 2016, 21(6): 974-982.
<https://doi.org/10.1007/s11036-016-0717-5>
- [12] XILINX Inc. VC707 Evaluation Board for the Virtex-7 FPGA User Guide [EB/OL]. [2016-08-12].
<https://china.xilinx.com/products/boards-and-kits/ek-v7-vc707-g.html#documentation>
- [13] 夏宇闻. Verilog数字系统设计教程(第二版)[M]. 北京: 北京航空航天大学出版社, 2008.
- [14] LI Han, REN Haoqi, WU Jun. Domain specific compiler for coordinated signal processing in 5G testbed[C]//Proceedings of the Workshop on Smart Internet of Things 2017. San Jose: ACM, 2017, 10. <https://doi.org/10.1145/3132479.3132487>

- [15] 杨光. Matlab仿真在DSP应用技术实验教学中的应用[J]. 实验科学与技术, 2015, 13(2): 38-42.
<https://doi.org/10.3969/j.issn.1672-4550.2015.02.012>
- [16] 朱磊, 宋彩霞. 基于DSP的FIR数字滤波综合实验设计[J]. 实验技术与管理, 2017, 34(1): 206-209, 213.
<https://doi.org/10.16791/j.cnki.sjg.2017.01.050>